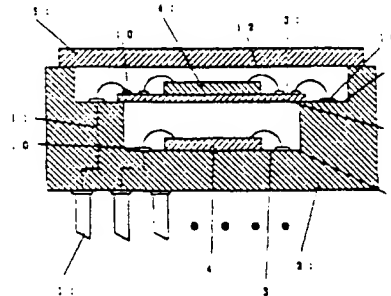


54) SEMICONDUCTOR ELEMENT

11) 4-219966 (A) 40 1151991 19-TP
21) Appl. No. 2411457 12-11-1991
31) FUNTEC LTD. 70 KINOSHITA WAKAHARA-CHO
41) Int. Cl. H01L25/065, H01L25/07, H01L25/18

PURPOSE: To enhance the mounting efficiency of a semiconductor element.

CONSTITUTION: A plurality of chip holding seats 3 are formed at the inside of a package main body 2 where external terminals 1 are formed on its one face. A semiconductor chip 4 is fixed and bonded to each chip holding seat 3. Said semiconductor chip 4 is connected to the external terminals 1 by using proper means. Said semiconductor chip 4 is sealed with a sealing cap 5.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-219966

(43) 公開日 平成4年(1992)8月11日

(51) Int. Cl.³

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

7638-4M

H 0 1 L 25/ 08

Z

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号

特願平2-412457

(22) 出願日

平成2年(1990)12月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 ▲くわ▼原 清

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 雅山 清 ▲たか▼

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 住吉 誠

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 山川 雅男 (外1名)

最終頁に続く

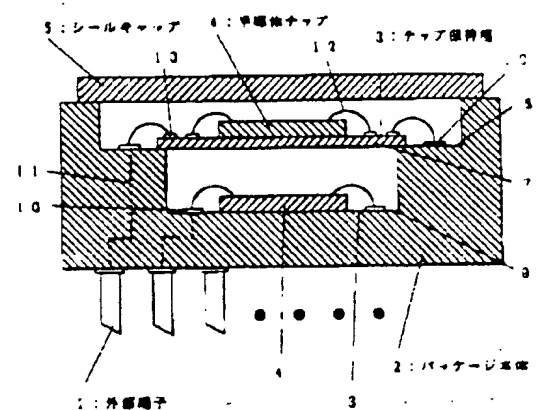
(54) 【発明の名称】 半導体素子

(57). 【要約】

【目的】本発明は半導体素子に関し、実装効率の向上を図ることを目的とする。

【構成】片面に外部端子1を設けたパッケージ本体2内部に複数のチップ保持座3を形成し、各チップ保持座3には半導体チップ4を固着するとともに、該半導体チップ4と外部端子1とを適宜手段にて接続し、前記半導体チップ4をシールキャップ5にて封止して構成する。

本発明の実施例を示す図



【特許請求の範囲】

【請求項1】 片面に外部端子(1)を設けたパッケージ本体(2)内部に複数のチップ保持座(3)を形成し、各チップ保持座(3)には半導体チップ(4)を固着するとともに、該半導体チップ(4)と外部端子(1)とを通直手段にて接続し、前記半導体チップ(4)をシールキャップ(5)にて封止してなる半導体素子。

【請求項2】 伝熱性の良好な材料で形成されたヒートシンク部材(6)に複数のチップ保持座(3, 3)を形成し、一端に外部端子(1)を設けたベース基板(7)上に固着された半導体チップ(4)の背面を前記チップ保持座(3)に固着してなる半導体素子。

【発明の詳細な説明】

【0001】

【発明の利用分野】 本発明は、半導体素子に関するものである。

【0002】 近年のコンピュータシステムを初めとする電子機器の高速化に伴い、電子機器本体の装置内に実装される半導体素子にも高密度な実装が要求されている。

【0003】

【従来の技術】 従来、半導体素子は、単一のチップを封止して形成されていた。

【0004】

【発明が解決しようとする課題】 しかし、上述した従来例においては、該素子を実装する際にチップの個数分のコリアが基板上に必要になり、全体の実装効率の向上に限界があるという欠点を有するものであった。

【0005】 本発明は、以上の欠点を解消すべくなされたものであって、実装効率の向上を図ることのできる半導体素子を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明によれば上記目的は、実施例に対応する図1に示すように、片面に外部端子1を設けたパッケージ本体2内部に複数のチップ保持座3を形成し、各チップ保持座3には半導体チップ4を固着するとともに、該半導体チップ4と外部端子1とを通直手段にて接続し、前記半導体チップ4をシールキャップ5にて封止してなる半導体素子を提供することにより達成される。

【0007】 また、同様の目的は、伝熱性の良好な材料で形成されたヒートシンク部材6に複数のチップ保持座3を形成し、一端に外部端子1を設けたベース基板7上に固着された半導体チップ4の背面を前記チップ保持座3に固着してなる半導体素子によっても達成することができる。

【0008】

【作用】 上記構成に基づき、パッケージ本体2内部に形成された複数のチップ保持座3には、半導体チップ4が結着されて固着される。

【0009】 この結果、単一の半導体素子内に複数の半

導体チップ4を収容することが可能となり、実装面積の減少が図られる。

【0010】 また、チップ保持座3をヒートシンク部材6に形成した場合には、放熱効果が向上する。

【0011】

【実施例】 以下、本発明の望ましい実施例を添付図面に基ついて詳細に説明する。

【0012】 図1は本発明の実施例を示すもので、図中2はパッケージ本体、5は後述する半導体チップ4をパッケージ本体2内に封止するためのシールキャップである。上記パッケージ本体2は、中間部に段部3を有して略有底枠状に形成されており、該パッケージ本体2の底壁部9、および段部3には、複数のワイヤボンディングパッド10, 10…が設けられている。また、上記パッケージ本体2の裏面には、外部端子1が設けられており、上記ワイヤボンディングパッド10と外部端子1とを電気的に接続するため、パッケージ本体2には、パッケージ内配線11が形成されている。

【0013】 さらに、上記パッケージ本体2の段部3にはベース基板7が固定されており、該ベース基板7、および上記パッケージ本体2の底壁部9によりチップ保持座3が構成され、これらチップ保持座3上に固着された半導体チップ4の入出力パッド（図示せず）と、パッケージ本体2、あるいはベース基板7の迎線部に形成されたワイヤボンディングパッド10がボンディングワイヤ12により結線されている。この場合、電源端子、あるいはグランド端子等の各半導体チップ4に共通する端子は、チップ保持座3、あるいはパッケージ内配線11によりまとめられ、単一の外部端子1に接続されており、半導体素子全体の外部端子1数の減少が図られている。

【0014】 なお、以上においては、パッケージ本体2の底壁部9をチップ保持座3として利用する場合を示したが、この他に、図2に示すように、ベース基板7の裏面をチップ保持座3として使用することも可能であり、この場合、ベース基板7の裏面側のワイヤボンディングパッド10は、図3に示すように、スルーホール13を介して表面側に引き出された後、迎線部のワイヤボンディングパッド10に接続される。

【0015】 また、以上の例においては、パッケージ本体2内に2個の半導体チップ4を実装する場合を示したが、この他に、例えば第4図に示すように、パッケージ本体2の中央部に突起部14を設け、該突起部14の頂面を利用して2枚のベース基板7を固定することにより、4個の半導体チップ4…を実装することも可能である。

【0016】 図4は本発明の更に他の実施例を示すものである。この実施例は、放熱効果を向上させたもので、図中6は上部に複数の放熱フィン15, 15…を設けたヒートシンク部材である。このヒートシンク部材6は、アルミニウム材料等の伝熱性の優れた材料で形成されており、その底面部に複数のスリット状のチップ保持座3が形成さ

れ、該チップ保持座3に半導体チップ4の背面部が固着され、適宜手段にて封止されている。上記半導体チップ4はベース基板7上に固着されており、半導体チップ4の入出力パッドは、図示しないワイヤを介してベース基板7に設けられた外部端子1に接続されている。

【0017】

【発明の効果】以上の説明から明らかなように、本発明による半導体素子によれば、該素子内に複数の半導体チップを封入することができるので、実装密度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す図である。

【図2】本発明の他の実施例を示す図である。

【図3】図2の要部拡大図である。

【図4】本発明の他の実施例を示す図である。

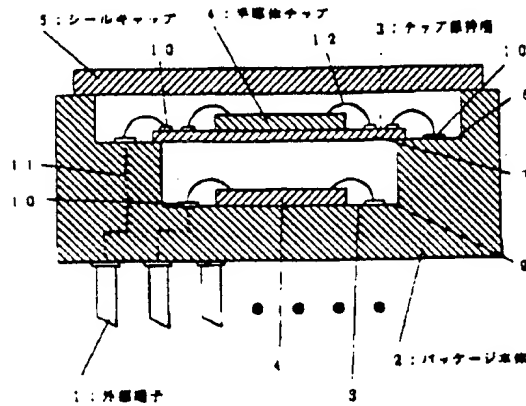
【図5】本発明の更に他の実施例を示す図である。

【符号の説明】

- 1 外部端子
- 2 パッケージ本体
- 3 チップ保持座
- 4 半導体チップ
- 5 シールキャップ
- 10 ヒートシンク部材
- 7 ベース基板

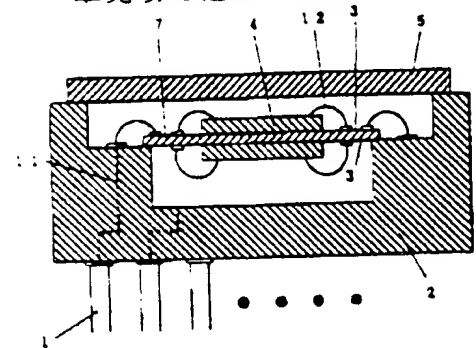
【図1】

本発明の実施例を示す図



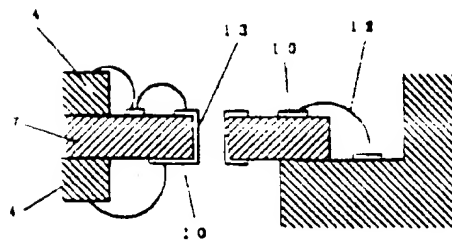
【図2】

本発明の他の実施例を示す図



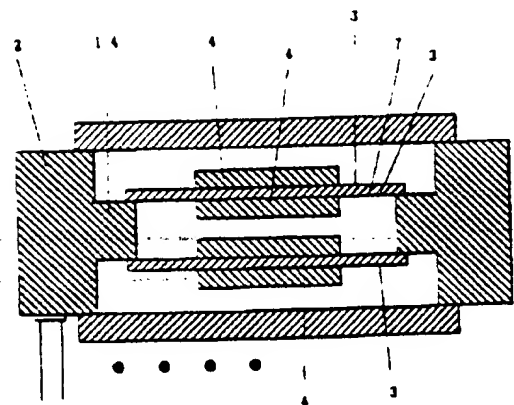
【図3】

図2の要部拡大図



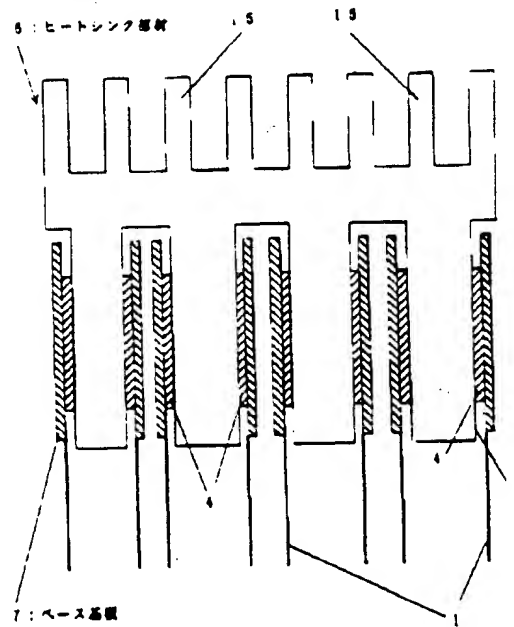
【図4】

本発明の他の実施例を示す図



【図5】

本発明の更に他の実施例を示す図



フロントページの続き

(72)発明者 酒井 秀久
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内